

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-108338

(43)Date of publication of application : 08.05.1991

(51)Int.Cl.

H01L 21/3205

H01L 27/04

H01L 29/44

(21)Application number : 01-243598

(71)Applicant : TOSHIBA CORP

TOSHIBA MICRO ELECTRON KK

(22)Date of filing : 21.09.1989

(72)Inventor : SHIRAISHI MIKIO

TANAKA YASUNORI

TSUJI KAZUHIRO

ITABASHI YASUSHI

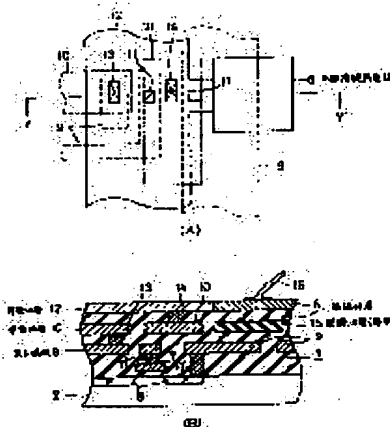
UENO MASAO

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

### (57)Abstract:

**PURPOSE:** To improve the degree of integration and prevent the generation of crack, by forming an outer connection electrode on an element region by using a part of the uppermost layer of a plurality of conducting layers formed on a semiconductor substrate.

**CONSTITUTION:** A semiconductor chip 1 is constituted of circuit elements, metal wiring layers 9, 10, 12, and interlayer insulating layers between them which are all formed on a semiconductor substrate. The layer 9 and circuit elements (gate polysilicon 7 and a diffusion layer 8) are connected by contact bores 11. The layers 9, 10 are connected by a viacontact 13, and the layers 10, 12 are connected by a viacontact 14. An outer connection electrode 6 is formed by using a part of the layer 12 as the uppermost layer. Under the electrode 6, the layer 10 is not positioned, and an insulating layer 15 is formed. Thereby the insulating layer under the electrode 6 is thickened, the generation of crack at the time of bonding can be prevented, the area for an electrode is omitted, the degree of integration is improved, and a chip can be flattened.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Japanese Unexamined Patent Application Publication No. 3-108338

(1)

The present invention, for achieving the above objects, has a structure as described below of a semiconductor integrated circuit device comprising an integrated circuit device region formed on a semiconductor substrate, a plurality of conductive layers provided on the integrated circuit device region, electrodes for external connection formed at portions corresponding to the integrated circuit device region of the uppermost conductive layer.

(2)

For solving the problems by the conventional technologies, in the present invention, the electrodes for external connection are formed in the device region by using parts of the uppermost conductive layer, which is formed above the semiconductor substrate. Since the peripheral portion of the semiconductor integrated circuit device can thereby be omitted, the area of the semiconductor integrated circuit device is reduced. If the area is the same as that of a conventional one, the functions of the semiconductor integrated circuit device provided can be enhanced.

Furthermore, right below the electrodes for external

connection, conductor layers having the same potential as that of the electrodes for external connection are formed in the same layer as an internal conductive layer between the uppermost layer and the lowermost layer among the conductive layers, the conductor layers being independent of the other conductive layers. As a result, short-circuiting between the electrodes for external connection and the conductor layers below the electrodes caused by cracking generated by impact during bonding does not affect the circuit.

(3)

As shown in the drawing, a semiconductor chip 1 that will be formed into a semiconductor integrated circuit device includes a circuit device formed on a semiconductor substrate 2, three metal lead layers 9, 10, and 12 provided thereon, and insulating interlayers therebetween. The metal lead layers are the first metal lead layer 9, the second metal lead layer 10, and the uppermost third metal lead layer 12 for forming a bonding pad 6 which will be used as an electrode for external connection. More specifically, the second lead layer 10 is formed so as not to reside below the bonding pad 6. The first lead layer 9 and circuit devices (a polysilicon gate 7 and a diffusion layer 8) are connected with contact holes 11. The first and second lead layers are connected with a via contact 13, and the second

and third layers are also connected with a via contact 14.

(4)

Fig. 2 is a plan view showing a semiconductor integrated circuit device according to a second embodiment of the present invention. In the drawing, the bonding pads 6 are disposed vertically to I/O cells 4 with an insulating interlayer (not shown) therebetween. In the positional relationship between these components, these components are overlaid so as to partially overlap in this embodiment, although these are arranged in the peripheral portion in conventional technology. This overlaid arrangement can reduce the area of the semiconductor chip.

In the second embodiment, about a half the bonding pad 6 overlies on the I/O cell 4. However, the bonding pad may completely overlie on the I/O cell, regardless of the above arrangement. In general, the bonding pad is provided on the second metal lead layer. However, in the present invention, the third metal lead layer 12 is further formed for providing the bonding pad 6.

(5)

According to the above structure, as a first embodiment of the present invention, an integrated circuit device can further be provided under the first metal lead layer 9 below

the bonding pad as shown in Fig. 5. In this drawing, the components arranged as in Fig. 4 are referred to as the same reference numerals without description thereof.

In this structure, a diffusion layer 8 is provided in a semiconductor substrate 2, an insulating layer 18 is formed thereon to form a polysilicon gate layer 7. A first metal lead layer 9 connecting to a contact hole 11 is formed thereon. A second metal lead layer 10 is provided on an insulating interlayer 19 on the first metal lead layer 9. The layer 10 is connected to a bonding pad 6 bonded to a wire 16 through a via contact 14.

When an insulating layer resides between the bonding pad 6 and the first metal lead layer 9 or when a conductor layer having the same potential as that of the bonding pad 6 and an insulating layer are formed therebetween, a device such as a transistor can also be provided under the first lead layer 9.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-108338

⑬ Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)5月8日

H 01 L 21/3205

6810-5F H 01 L 21/88  
6810-5F

T  
Z※

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 平1-243598

⑰ 出 願 平1(1989)9月21日

⑱ 発 明 者 白 石 幹 雄 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑱ 発 明 者 田 中 康 規 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑱ 発 明 者 辻 和 宏 神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑲ 出 願 人 東芝マイクロエレクトロニクス株式会社 神奈川県川崎市川崎区駅前本町25番地1

⑳ 代 理 人 弁理士 鈴江 武彦 外3名

最終頁に続く

明 細 書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

(1) 半導体基板上に形成された集積回路素子領域と、上記集積回路素子領域上に設けられた複数の導電体層と、上記導電体層の最上層の上記集積回路素子領域に対応する部分に形成される外部接続用電極とを具備する半導体集積回路装置。

(2) 上記導電体層の最下層と上記外部接続用電極との間が絶縁層で満たされることを特徴とする請求項(1)記載の半導体集積回路装置。

(3) 上記導電体層の最下層と上記外部接続用電極との間に満たされた絶縁層が上記導電体層間に於けるその厚さの2倍以上の厚さを有することを特徴とする請求項(2)記載の半導体集積回路装置。

(4) 上記外部接続用電極下の位置で且つ上記導電体層の最下層と最上層との間の中間層に、その中間層の他の導電体と独立して配置された導

電体層をさらに具備することを特徴とする請求項

(1)記載の半導体集積回路装置。

(5) 上記外部接続用電極下の位置で且つ上記導電体層の最下層と最上層との間の中間層に、その中間層の他の導電体と独立して配置された上記外部接続用電極と同電位の導電体層をさらに具備することを特徴とする請求項(1)記載の半導体集積回路装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は半導体集積回路装置に係り、特にその外部接続用電極の配置構造の改良に関する。

(従来技術)

一般に、半導体集積回路はICチップやLSIチップと称される半導体チップ上に形成されており、これを電子部品として利用するためには、上記半導体チップ上の集積回路と外部との間で信号を入出力させたり、その集積回路に電源を供給することが必要である。このため、上記半導

体チップを外囲器内にマウントして、そのチップと外囲器のリード端子とをワイヤで接続している。この場合、チップ上には集積回路の配線と接続されたボンディングパッドと呼ばれる面積の広いメタル配線層からなる外部接続用電極が設けられており、このパッドに上記ワイヤをボンディングすることにより接続を行っている。

このような半導体チップに於ける集積回路の素子領域とボンディングパッドの配置を第6図に示す。この配置は周知であり、半導体チップの大多数に採用されている配置である。すなわち半導体チップ1は、半導体基板2上に論理回路ブロック3及び図示しない配線と、これらを囲むように配設されるI/Oセル(入力/出力セル)4とからなる素子領域5を有し、さらにこの素子領域5の外周部にボンディングパッド6が配置されて構成されている。

なお、上記ボンディングパッド6の下層には、上記素子領域5内のような回路素子や配線は設けられておらず、上記ボンディングパッド6のみ形

理由で一定以下にはなし得ないボンディングパッドだけに占有されるチップの外周部の面積が変わらないため、半導体チップ全体としての面積はあまり小さくならない。

さらに、半導体チップ上の集積回路に機能が追加された場合でも半導体チップのサイズができるだけ大きくならないようにして、素子領域の集積度を上げることでチップサイズの維持に動めている。

しかし、そのような機能の追加に伴い入出力信号が増加し、上記ボンディングパッドの数も必然的に増加することになるので、このボンディングパッド数の増加により半導体チップのサイズは大きくなることは不可避となりがちである。

そこで従来は上記ボンディングパッド自体を小さくすることでそのチップサイズを維持するようにしていた。しかし、ボンディングパッドはボンディングする際の位置の精度や用いるワイヤの径からくる制限により一定以下には小さくできない状態にある。

成されている。

第7図は、上記第6図のX-X'線に沿う断面図である。半導体基板2上には、ゲートポリシリコン7、拡散層8等で構成される回路素子が形成され、その上に第1層のメタル配線層9と第2層のメタル配線層10が積層されている。上記ゲートポリシリコン7と上記第1層のメタル配線層9は、コンタクトホール11で接続されている。また上記第1層のメタル配線層9と上記第2層のメタル配線層10はビアコンタクト13で接続されている。そして上記第2層のメタル配線層10にボンディングパッド6が設けられている。前述したように上記ボンディングパッド6は素子領域5の外周部(矢印で示す範囲)に形成されている。このパッド下には回路素子や配線が一切設けられていない。

(発明が解決しようとする課題)

前述したような構成の従来の半導体チップは、チップ上に形成される集積回路の集積度を上げて、素子領域の面積を小さくしたとしても、後述する

そこで本発明はチップサイズを大きくすることなく、集積度の向上に寄与し得るように外部接続用電極の配置構造を改良した半導体集積回路装置を提供することを目的とする。

【発明の構成】

(課題を解決するための手段)

本発明は、前述した目的を達成するために、半導体基板上に形成された集積回路素子領域と、上記集積回路素子領域上に設けられた複数の導電体層と、上記導電体層の最上層の上記集積回路素子領域に対応する部分に形成される外部接続用電極とを具備する半導体集積回路装置において、後述する構成を持っている。

すなわち上記導電体層の最下層と上記外部接続用電極との間が絶縁層で満たされる。

また、上記導電体層の最下層と上記外部接続用電極との間に満たされた絶縁層が上記導電体層間に於けるその厚さの2倍以上の厚さを有する構成をしている。

また本発明では、上記外部接続用電極下の位置



で且つ上記導電体層の最下層と最上層との間の中間層に、その中間層の他の導電体層と独立して配置された導電体層を具備している。

(作用)

② 本発明で従来技術が持つ課題を解決するために、半導体基板上に形成された導電層の最上層の一部を用いて素子領域上に外部接続用電極を形成する。これにより半導体集積回路装置の外周部を削除できることから半導体集積回路装置の面積が縮小し、さらに従来と同面積であれば機能を増した半導体集積回路装置を提供することができる。

また、外部接続用電極下の位置で上記導電層の最上層と最下層との中間層の導電層と同層位置に他の導電層と独立して配置された、上記外部接続用電極と同電位の導電層を形成する。これによりボンディングした際の衝撃で発生するクラックにより外部接続用電極と電極下の導電層との短絡が回路に影響を与えないような構造とすることができる。

さらにこのことにより上記外部接続用電極の

層10が上記ボンディングパッド6の下に位置しないように形成される。また第1層の配線層9と回路素子(ゲートポリシリコン7、拡散層8)間はコンタクトホール11によって接続されている。上記第1層と第2層の配線層間は、ビアコンタクト13で接続され、第2層と第3層の配線層間も、ビアコンタクト14によって接続されている。

これは前述した構成の従来の半導体チップは、ボンディングパッドの下層の絶縁膜が薄い場合にワイヤをボンディングした際の衝撃でその絶縁膜にクラックが生じることがある。このような場合、もしボンディングパッドの下にメタル配線層や素子が設けられていたならば、上記クラックに異物が混入して、上記パッドと配線層の間で短絡するなどの問題が生じてしまうことが危惧される。

したがって、上記ボンディングパッド6の下に上記第2層の配線層10の代わりに絶縁層15が形成されていると、層間絶縁膜の厚さにこの絶縁層15の厚さが加わる。そのため、この集積回路はボンディングパッド6にワイヤ16をボンディ

ンディングした時の衝撃に対しても、そのパッド6下の絶縁膜がダメージを受けにくい構造となる。

(実施例)

以下、図面を参照して本発明の実施例につき詳細に説明する。第1図は、本発明の第1の実施例の構成を示すためのもので、同図(A)は、素子領域5上に形成されたボンディングパッド付近の拡大図であり、また同図(B)は同図(A)のY-Y'線に沿う断面図である。

③ 同図に示すように、半導体集積回路装置となる半導体チップ1は半導体基板2上に形成した回路素子及びそれらの上に3層に積層されたメタル配線層9、10、12とその間の層間絶縁膜から形成される。このメタル配線層は第1層の配線層9と、第2層の配線層10と、外部接続用電極となるボンディングパッド6を形成する最上層の第3層の配線層12からなり、特に上記第2層の配線

層10が上記ボンディングパッド6の下に位置しないように形成される。また第1層の配線層9と回路素子(ゲートポリシリコン7、拡散層8)間はコンタクトホール11によって接続されている。上記第1層と第2層の配線層間は、ビアコンタクト13で接続され、第2層と第3層の配線層間も、ビアコンタクト14によって接続されている。

すなわち、一般にボンディングする際、ボンディングパッド下の層間絶縁膜は厚さがあるほどダメージを受けない。しかし、その層間絶縁膜を厚く形成すれば、この膜を挟んでいるメタル配線層の間を接続するときに用いるコンタクトホールが深くなる。しかも従来からの薄膜形成技術では、アスペクト比の大きいコンタクトホールを完全に埋めるには限界があり、さらにコンタクトホールの深さは上記絶縁層の上に形成するメタル配線層のカバレッジを確保するために制約を受ける。このため本実施例では、メタル配線層を3層に積層して、薄い層間絶縁膜を2層形成することにより厚さを確保すると共に、コンタクトホールが深くなることを回避している。

④ 第2図は本発明の第2の実施例による半導体集積回路装置を示す平面図である。同図において、ボンディングパッド6は図示しない層間絶縁膜を間に挟んで、I/Oセル4と上下に位置する。こ

の位置関係は上から見ると、従来外周部に設けていたものが、本実施例では一部分が一致するように重ね合せている。そのため、この重なり分だけ上記半導体チップの面積を縮小することができる。

この第2の実施例は、上記ボンディングパッド6の約半分が上記1/Oセル4と重なっているが、これに限定されるものではなく、全て重なっても差支えない。つまり従来は外周部に配されていた上記ボンディングパッド6全体を上記1/Oセル4上に上記絶縁層を間に挟んで形成しても良い。このため一般にボンディングパッドは第2層のメタル配線層に設けられていたが、本実施例では新たに第3層のメタル配線層12を形成し、そこにボンディングパッド6を設けている。

従って、本発明は半導体基板上にメタル配線層を3層以上に積層して形成される構造時に可能であり、2層以下の積層構造では実施できない。

また本発明の第3の実施例を第3図に示す。なお同図に於いて第2図と同様に配置されるものについては同一参照番号を付してその説明を省略す

る。うなマウント方法を用いた場合にマウント不良が発生する可能性がある。

そこでワイヤボンディングと、さらに上記TAB方法を採用することも容易な本発明の第4の実施例を第4図に示す。同図に於いて第1図(B)と同様に配置されるものについては同一参照番号を付してその説明を省略する。

すなわち、この実施例は、前述した例ではボンディングパッド6下の第2層の配線層10の所に絶縁層を形成したが、その代わりに電位的に浮くか、もしくは上記ボンディングパッド6と同電位の導電体層であるメタル層17が形成されている。

このメタル層17が形成されると、ワイヤボンディングされた際の衝撃によりにパッド直下の絶縁膜にクラックが発生し、ボンディングパッド6とメタル層17の間で短絡が発生しても、そのメタル層が上記ボンディングパッド6と同電位のため何ら問題にならない。しかもこのメタル層17が形成されると上記絶縁層を用いた時より、形成するのに短時間であり、ボンディングパッド6を

る。

この実施例は、ボンディングパッド6が第2図で示す配置からさらに半導体チップ1の内側に入って、素子領域5の上にすべてのパッドを設けたものである。従ってボンディングパッドを設けた外周部は削除することができる。

また、特にTAB方式ようなワイヤをボンディングしないマウント方式を用いた場合に、1/Oセル4を素子領域5上の任意の位置に設ける事ができる。このため上記1/Oセル4に接続される上記ボンディングパッド6は、上記半導体チップ1上の周辺付近に配される必要はなく、同様に任意の位置に設ける事ができる。

しかし上記実施例でボンディングパッド6の下に用いた絶縁層は、金属膜に比べると、成膜レート(単位時間当たりの成膜量)が小さく、上記絶縁層を形成するのに時間を要し、且つ表面を平坦な面に形成しづらい。この表面が完全に平坦面でない半導体チップは、ワイヤをボンディングするのに、あまり不利にならなくとも、TAB方式よ

形成する最上層の第3の配線層12の平坦化も容易で上記TAB方法を用いた場合でもマウント不良がなくなる。

また前述の構造を用いれば、本発明の第5の実施例として第5図に示すようにボンディングパッド下の第1層のメタル配線層9の下にさらに、集積回路の回路素子を設けることができる。この図に於いても第4図と同様に配置されるものについては同一参照番号を付してその説明を省略する。

この構造は半導体基板2内に拡散層8があり、その上に絶縁膜18を形成しゲートポリシリコン層7を設ける。また、その上にコンタクトホール11で接続された第1層のメタル配線層9を設ける。これと絶縁膜19を挟んで、第2層のメタル配線層10を設け、その配線層10はビアコンタクト14で、ワイヤ16をボンディングされるボンディングパッド6に接続されるように形成する。

すなわち、ボンディングパッド6と第1層のメタル配線層9の間が絶縁層である場合か、もしくは

はそれらの間に絶縁層を介してボンディングパッド6と同電位の導電体層が形成された場合は、第1層の配線層9の下にトランジスタなどの素子を設けることができる。

以上、本発明の実施例を説明したが、本発明はこのような実施例に限定されるものではなく、他にも発明の要旨を逸脱しない範囲で種々の変形や応用が可能であることは勿論である。

#### 〔発明の効果〕

以上記述したように本発明によれば、外部接続用電極であるボンディングパッドを半導体チップの集積回路となる素子領域もしくは配線の上に設けたので、従来から外部接続用電極のために設けている外周部分の面積を無くすることができる。これにより半導体チップは、集積回路の集積度を上げて面積を小さくしたとしても、その外周に設けられたボンディングパッドに占有される面積が変わらないのため、あまり面積が小さくならなかったものが、半導体チップのサイズが素子領域だけの面積に縮小される。

られる上記ボンディングパッドが同じ高さで形成されるため、ワイヤボンディング以外のTAB方式などの外部接続が容易にできる配置構造の半導体集積回路装置である。

#### 4. 図面の簡単な説明

第1図(A)は本発明の第1の実施例としての半導体チップ上のボンディングパッド付近の拡大図、同図(B)は同図(A)のY-Y'線に沿った断面図、第2図及び第3図はそれぞれ本発明の第2及び第3の実施例としての半導体チップ上のボンディングパッドと回路素子の配置を示す平面図、第4図及び第5図はそれぞれ本発明の第4及び第5の実施例としての半導体チップの断面図、第6図は従来の半導体チップ上の集積回路とボンディングパッドの配置を示す平面図、第7図は第6図のX-X'線に沿った断面図である。

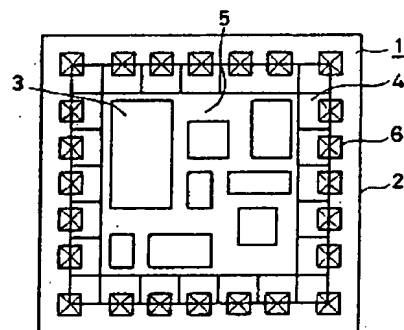
1…半導体集積回路装置、2…半導体基板、4…1/Oセル、5…素子領域、6…外部接続用電極、9、10、12…導電体層、15…絶縁層、16…ワイヤ、17…導電体層。

これは半導体チップ自体の面積が縮小したこと、から、一枚当たりの半導体基板ウエハに従来のより数多く上記半導体チップを形成することができ、同じウエハ製造枚数でも半導体チップの生産量を増すことができる。

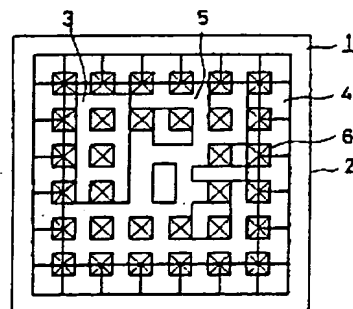
また上記半導体チップ自体の面積が従来と同面積であれば、上記外周部に素子領域を広げること、も可能で、さらに機能を増した半導体集積回路をチップ上に形成することができる。

また上記素子領域もしくは導電体層になるメタル配線層とボンディングパッドとの間の絶縁層が、上記メタル配線層の厚さの2倍以上の厚さを持つためボンディングの衝撃が加わってもクラックが生じないように配置構造の半導体集積回路装置である。

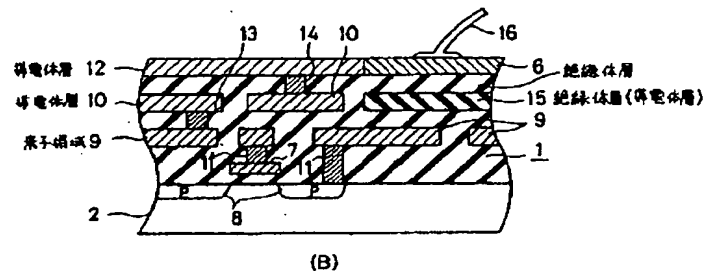
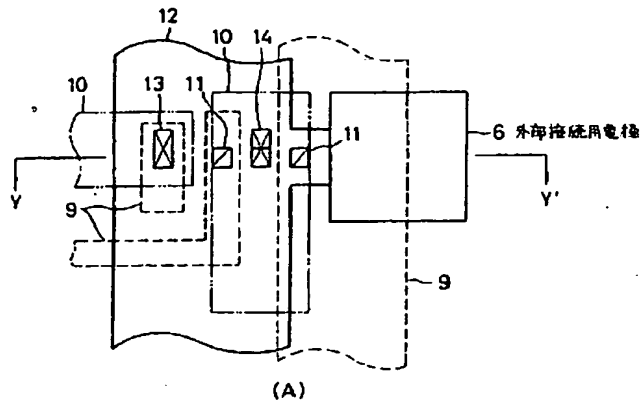
さらに上記ボンディングパッド下の上記絶縁層内の中間層に上記ボンディングパッドと同電位で且つ配線とは独立した導電体層を設けたため、上記絶縁層の形成する時間が短縮し、半導体チップ全体の平坦化も容易になる。そして最上層に設け



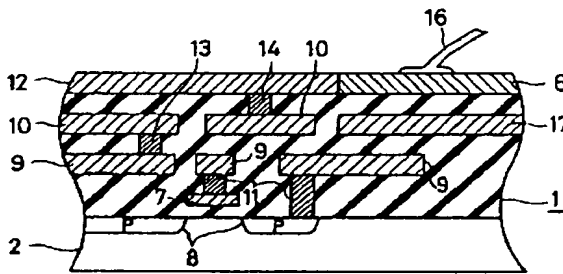
第2図



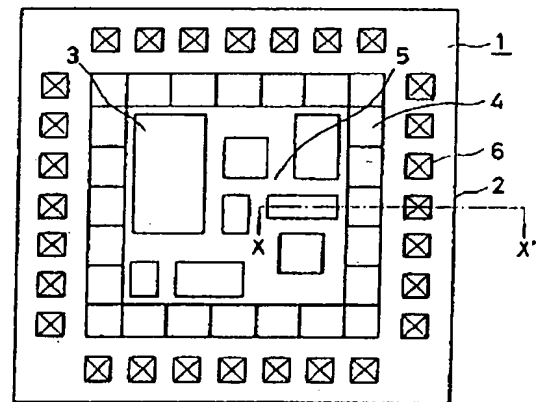
第3図



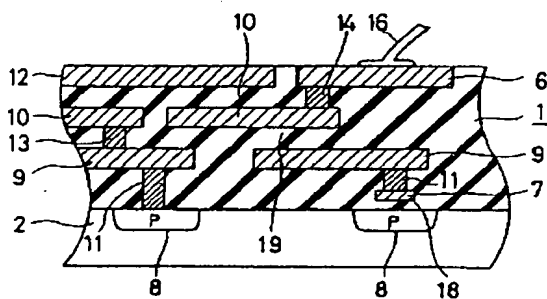
第 1 図



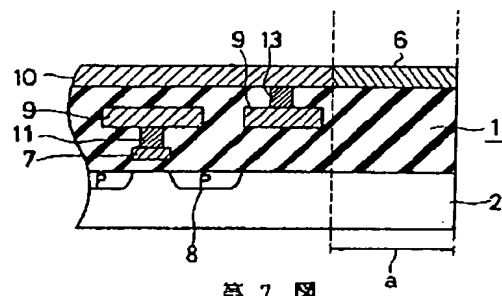
第 4 図



第 6 図



第 5 図



第 7 図

第1頁の続き

⑤Int. Cl. <sup>9</sup>	識別記号	庁内整理番号
H 01 L 27/04	D	9056-5F
29/44	D	7638-5F
⑫発 明 者 板 橋	康	神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内
⑫発 明 者 上 野	正 雄	神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内